

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月9日
Date of Application:

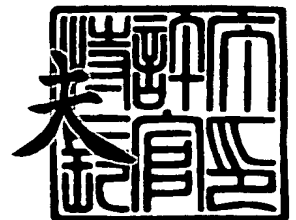
出願番号 特願2003-411053
Application Number:
[ST. 10/C]: [JP 2003-411053]

出願人 マイクロン テクノロジー インコーポレイテッド
Applicant(s):

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3108845

【書類名】 特許願
【整理番号】 F1-0348BM3
【提出日】 平成15年12月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/00
【発明者】
 【住所又は居所】 茨城県 つくば市 梅園 2-21-2 サイソン クラブ 2
 03
 【氏名】 フジワラ ヨシノリ
【特許出願人】
 【識別番号】 500014068
 【氏名又は名称】 マイクロン テクノロジー インコーポレイテッド
【代理人】
 【識別番号】 100078282
 【弁理士】
 【氏名又は名称】 山本 秀策
【選任した代理人】
 【識別番号】 100062409
 【弁理士】
 【氏名又は名称】 安村 高明
【選任した代理人】
 【識別番号】 100113413
 【弁理士】
 【氏名又は名称】 森下 夏樹
【手数料の表示】
 【予納台帳番号】 001878
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

メモリ回路におけるワード線を不活性化する方法であって、
複数のワード線を 1 回につき 1 つか、全部の中の 2 つ以上を同時にか、これらの組み合わせか、または全部を同時に活性化する工程であって、すべての該ワード線は、並行してアクティブである、工程と、
該ワード線の 1 つを不活性化する工程であって、それ以外の該ワード線はアクティブな状態である、工程と
を包含する、方法。

【請求項 2】

前記不活性化する工程の前に、前記ワード線の前記 1 つがイネーブルされる工程をさらに包含する、請求項 1 に記載の方法。

【請求項 3】

前記不活性化する工程は、信号パルスを受信する工程に応答して、前記ワード線の 1 つを不活性化する工程を包含し、前記それ以外のワード線はアクティブの状態であり、該信号の他のパルスは、該ワード線を活性化するために用いられる、請求項 1 に記載の方法。

【請求項 4】

メモリ回路におけるワード線を不活性化する方法であって、
信号の第 1 のパルスを受信する工程と、
該第 1 のパルスを受信する工程に応答して、ワード線を活性化する工程と、
該信号の次のパルスを受信する工程であって、該次のパルスは該第 1 のパルスと同じ論理値を有する、工程と、
該次のパルスを受信する工程に応答して、該ワード線を不活性化する工程と
を包含する、方法。

【請求項 5】

前記信号のパルスを生成して、イネーブルされたワード線を活性化する工程をさらに包含する、請求項 4 に記載の方法。

【請求項 6】

前記第 1 のパルスを受信する工程の前に、前記ワード線の活性化をイネーブルする工程をさらに包含する、請求項 4 に記載の方法。

【請求項 7】

前記次のパルスを受信する工程の前に、前記ワード線の不活性化をイネーブルする工程をさらに包含する、請求項 4 に記載の方法。

【請求項 8】

前記不活性化する工程の後に、
前記信号の第 2 の次のパルスを受信する工程と、
該第 2 の次のパルスを受信する工程に応答して、前記ワード線を活性化する工程と
をさらに包含する、請求項 4 に記載の方法。

【請求項 9】

第 2 の信号を受信する工程と、
該第 2 の信号を受信する工程に応答して、活性化されたすべてのワード線を不活性化する工程と
をさらに包含する、請求項 4 に記載の方法。

【請求項 10】

メモリ回路におけるワード線を不活性化する方法であって、
第 1 の信号を受信する工程に応答して、該メモリにおけるすべてのワード線を不活性化する工程と、
第 2 の信号、および第 3 の信号のパルスを受信する工程に応答して、ワード線を活性化する工程と、
該第 2 の信号、第 4 の信号、および該第 3 の信号の次のパルスを受信する工程に応答

して、該ワード線のみを不活性化する工程であって、該パルスと該次のパルスとは同じ論理値を有する、工程と
を包含する、方法。

【請求項 11】

前記第2の信号、第4の信号、および前記第3の信号の第2の次のパルスを受信する工程に
応答して、該ワード線のみを再活性化する工程をさらに包含する、請求項10に記載
の方法。

【請求項 12】

前記第1の信号は、プレチャージ信号である、請求項10に記載の方法。

【請求項 13】

前記第2の信号は、アドレス信号である、請求項10に記載の方法。

【請求項 14】

前記第3の信号は、活性化ワード線信号である、請求項10に記載の方法。

【請求項 15】

前記第4の信号は、不活性化イネーブル信号である、請求項10に記載の方法。

【請求項 16】

メモリ回路における全部よりも少ない活性化メモリワード線を不活性化する方法であ
って、

少なくとも1つの信号のパルスを受信する工程と、

該少なくとも1つのパルスを受信する工程に
応答して、複数のワード線を活性化する
工程と、

不活性化されるべき該ワード線の全部よりも少ない2つ以上を選択する工程と、

該信号の次のパルスを受信する工程と、

該次のパルスを受信する工程に
応答して、該ワード線の全部よりも少ない2つ以上を
不活性化する工程と

を包含する、方法。

【請求項 17】

メモリ回路における複数の活性化ワード線の中の単一のメモリワード線を不活性化する
方法であって、

複数のアドレス信号を受信する工程と、

少なくとも1つの活性化信号パルスを受信する工程と、

該少なくとも1つの活性化信号パルスを受信する工程に
応答して、該複数のアドレス
信号にそれぞれ対応する複数のワード線を活性化する工程と、

該活性化する工程の後に、該複数のアドレス信号の1つを受信する工程と、

該1つのアドレス信号に対応する不活性化イネーブル信号を受信する工程と、

該活性化の後に、次の活性化信号を受信する工程と、

該次の活性化信号パルスを受信する工程に
応答して、該1つのアドレス信号に対応す
る該ワード線のみを不活性化する工程と

を包含する、方法。

【請求項 18】

メモリ回路における複数の活性化ワード線の中の単一のメモリワード線を不活性化する
方法であって、

連続的系列の信号パルスを生成する工程であって、該各パルスは、ワード線を活性化
するように動作し、かつ同じ論理値を有する、工程と、

該信号パルスに
応答して、複数のワード線を、同時にか、逐次的にか、またはそれら
の組み合わせで活性化する工程と、

該活性化ワード線の1つを選択する工程と、

該信号パルスの1つに
応答して、該1つの選択されたワード線のみを不活性化する工
程と

を包含する、方法。

【請求項 19】

プレチャージ信号を受信するように動作する第1の入力ノードと、
ワード線活性化信号を受信するように動作する第2の入力ノードと、
アドレス信号を受信するように動作する第3の入力ノードと、
ワード線が活性化されるべきか、不活性化されるべきかを示す信号を提供するように動作する出力ノードと、
該プレチャージ信号によって制御され、第1の電圧に接続された第1のノードを有し、かつ第2のノードを有する第1のスイッチと
該活性化信号によって制御され、該アドレス信号を受信するように動作する第1のノードを有し、かつ第2のノードを有する第2のスイッチと、
該第1のスイッチの第2のノードと、該第2のスイッチの第2のノードとの間に接続された第3のスイッチと、
第2の電圧に接続された第1のノード、および該第1のスイッチの第2のノードに接続された第2のノードを有する第4のスイッチと、
該第1のスイッチの第2のノードと該出力ノードとの間に接続された少なくとも1つの信号駆動素子と、
該アドレス信号から導出された信号を受信するように接続され、かつ該第3のスイッチを制御する信号を出力する遅延素子と、
該活性化およびアドレス信号、該遅延素子出力信号、ならびにイネーブル信号を受信するように接続された論理ゲートであって、該第4のスイッチを制御する信号を出力する、論理ゲートと
を備える、メモリ回路。

【請求項 20】

前記第1の電圧と前記第2の電圧とは、同じである、請求項19に記載の回路。

【請求項 21】

前記第1、前記第2、前記第3、および前記第4のスイッチの各々はトランジスタを備える、請求項19に記載の回路。

【請求項 22】

前記各トランジスタは、電界効果トランジスタである、請求項19に記載の回路。

【請求項 23】

前記第1および前記第4のスイッチの各々は、p型チャネル金属酸化物半導体電界効果トランジスタを備える、請求項19に記載の回路。

【請求項 24】

前記第2および前記第3のスイッチの各々は、n型チャネル金属酸化物半導体電界効果トランジスタを備える、請求項19に記載の回路。

【請求項 25】

前記論理ゲートは、NORゲートを含む、請求項19に記載の回路。

【請求項 26】

前記少なくとも1つの信号駆動素子は、インバータを含む、請求項19に記載の回路。

【請求項 27】

前記少なくとも1つの信号駆動素子は、前記第1のスイッチの第2のノードと前記出力ノードとの間に直列接続された奇数のインバータを含む、請求項19に記載の回路。

【請求項 28】

プロセッサと、
該プロセッサに接続されたメモリコントローラと、
該メモリコントローラに接続されたメモリチップであって、メモリセルのアレイ、ワード線、アドレスデコード論理、およびラッチ回路を備え、該ラッチ回路は、活性化信号の第1の信号パルスを受信する工程に応答して、ワード線の活性化を指示する信号を出力し、かつ、不活性化イネーブル信号、および該活性化信号の次の信号パルスを受信する工程に
応答して、該ワード線の不活性化を指示する信号を出力する、メモリチップと

を備えるシステム。

【請求項 29】

前記メモリチップは、ダイナミックランダムアクセスメモリを含む、請求項 28 に記載のシステム。

【請求項 30】

前記ラッチは、

プリチャージ信号を受信するように動作する第 1 の入力ノードと、

ワード線活性化信号を受信するように動作する第 2 の入力ノードと、

アドレス信号を受信するように動作する第 3 の入力ノードと、

ワード線が活性化されるべきか、不活性化されるべきかを示す信号を提供するように動作する出力ノードと、

該プレチャージ信号によって制御され、第 1 の電圧に接続された第 1 のノードを有し、かつ第 2 のノードを有する第 1 のスイッチと、

該活性化信号によって制御され、該アドレス信号を受信するように動作する第 1 のノードを有し、かつ第 2 のノードを有する第 2 のスイッチと、

該第 1 のスイッチの第 2 のノードと、該第 2 のスイッチの第 2 のノードとの間に接続された第 3 のスイッチと、

第 2 の電圧に接続された第 1 のノード、および該第 1 のスイッチの第 2 のノードに接続された第 2 のノードを有する第 4 のスイッチと、

該第 1 のスイッチの第 2 のノードと該出力ノードとの間に接続された少なくとも 1 つの信号駆動素子と、

該アドレス信号から導出された信号を受信するように接続され、前記第 3 のスイッチを制御する信号を出力する遅延素子と、

該活性化およびアドレス信号、該遅延素子出力信号、およびイネーブル信号を受信するように接続された論理ゲートであって、該第 4 のスイッチを制御する信号を出力する、論理ゲートと

を備える、請求項 28 に記載のシステム。

【請求項 31】

前記第 1 の電圧と前記第 2 の電圧とは、同じである、請求項 30 に記載のシステム。

【請求項 32】

第 1 の信号を受信する工程に応答して、すべてのワード線を不活性化する手段と、

第 2 の信号、第 3 の信号のパルスを受信する工程に応答して、ワード線を活性化する手段と、

該第 2 の信号、第 4 の信号、および該第 3 の信号の次のパルスを受信する工程に応答して、該ワード線のみを不活性化する手段であって、該次のパルスは、該パルスと同じ論理値を有する、手段と

を備える、集積回路メモリ装置。

【請求項 33】

前記第 2 の信号、第 4 の信号、および前記第 3 の信号の第 2 の次のパルスを受信する工程に応答して、前記ワード線のみを再活性化する手段であって、該第 2 の次のパルスは、該次のパルスと同じ論理値を有する、手段をさらに備える、請求項 32 に記載の装置。

【書類名】 明細書**【発明の名称】 選択可能メモリワード線の不活性化****【技術分野】****【0001】**

本発明は、集積回路メモリに関する。より具体的には、本発明は、ダイナミックランダムアクセスメモリ（DRAM）における選択されたワード線の不活性化に関する。

【背景技術】**【0002】**

DRAMは、メインメモリとしてコンピュータまたは他の電子システムにおいて一般的に用いられる半導体ランダムアクセスメモリ（RAM）の一形態である。DRAMは、1ビットの情報をそれぞれ保持する、セルと呼ばれる集積回路に情報を格納する。セルは、通常、ワードと呼ばれる1次元アレイにグループ分けされる。

【0003】

あるDRAMアーキテクチャにおいて、読み出しまたは書き込みのためのワードの選択は以下のように行われる。活性化されるべきワードが、アドレスを復号することによって決定される。選択されたワード線（WL）は、その後、通常、VCCPノードと呼ばれる十分に正の電圧によって共通のノードに接続される。同様に、不活性化は、負のまたは十分に低い電圧によって共通のノードにWLを接続することを含む。このノードは、グラウンド、または本明細書中でVWL Nと呼ばれる専用ノードであり得る。トランジスタのサイズが縮小し続け、かつトランジスタのもれ電流は、より一層問題になっているので、VWL Nノードは、グラウンドよりも好ましい。

【0004】

複数のWLは、試験または他の目的で、同時に活性化または不活性化され得る。複数のWLを不活性化した場合、問題が生じることがある。前に活性化されたワード線上にある正の電荷は、VWL Nノードに放電され、ノードの電圧を引き上げる。いくつかの場合、VWL Nノード電圧は、不活性化された状態であることが意図されたWLを、不注意にも活性化するほど十分に高くなり得、従って、システム全体にわたってデータの完全性に不利な影響を及ぼす。

【0005】

多くのシステムが、WLを不活性化するために、すべてのWLで共有される単一のプレチャージ信号に依存している。この共有は、すべてのWLを同時に不活性化させる。その結果、数本よりも多くのWLを一度に活性化することは、多くの場合、实际的でない。なぜなら、これらのWLの同時の不活性化は、VWL Nノードの電圧を実質的に変更させ得るからである。

【発明の開示】**【発明が解決しようとする課題】****【0006】**

上述の点に鑑みて、VWL Nノードにおける電圧のゆらぎを低減し、それにより、より多くのWLが同時にアクティブであることを可能にする回路および方法を提供することが好ましい。

【課題を解決するための手段】**【0007】**

本発明の目的は、VWL Nノードにおける電圧のゆらぎを低減し、それにより、より多くのWLが同時にアクティブであることを可能にする回路および方法を提供することである。

【0008】

本発明による方法は、メモリ回路におけるワード線を不活性化する方法であって、複数のワード線を1回につき1つか、全部の中の2つ以上を同時にか、これらの組み合わせか、または全部を同時に活性化する工程であって、すべての該ワード線は、並行してアクティブである、工程と、該ワード線の1つを不活性化する工程であって、それ以外の該ワー

ド線はアクティブの状態である、工程とを包含し、これにより、上記目的を達成する。

【0009】

前記不活性化する工程の前に、前記ワード線の前記1つがイネーブルされる工程をさらに包含してもよい。

【0010】

前記不活性化する工程は、信号パルスを受信する工程に応答して、前記ワード線の1つを不活性化する工程を包含し、前記それ以外のワード線はアクティブの状態であり、該信号の他のパルスは、該ワード線を活性化するために用いられてもよい。

【0011】

本発明による方法は、メモリ回路におけるワード線を不活性化する方法であって、信号の第1のパルスを受信する工程と、該第1のパルスを受信する工程に応答して、ワード線を活性化する工程と、該信号の次のパルスを受信する工程であって、該次のパルスは該第1のパルスと同じ論理値を有する、工程と、該次のパルスを受信する工程に応答して、該ワード線を不活性化する工程とを包含し、これにより、上記目的を達成する。

【0012】

前記信号のパルスを生成して、イネーブルされたワード線を活性化する工程をさらに包含してもよい。

【0013】

前記第1のパルスを受信する工程の前に、前記ワード線の活性化をイネーブルする工程をさらに包含してもよい。

【0014】

前記次のパルスを受信する工程の前に、前記ワード線の不活性化をイネーブルする工程をさらに包含してもよい。

【0015】

前記不活性化する工程の後に、前記信号の第2の次のパルスを受信する工程と、該第2の次のパルスを受信する工程に応答して、前記ワード線を活性化する工程とをさらに包含してもよい。

【0016】

第2の信号を受信する工程と、該第2の信号を受信する工程に応答して、活性化されたすべてのワード線を不活性化する工程とをさらに包含してもよい。

【0017】

本発明による方法は、メモリ回路におけるワード線を不活性化する方法であって、第1の信号を受信する工程に応答して、該メモリにおけるすべてのワード線を不活性化する工程と、第2の信号、および第3の信号のパルスを受信する工程に応答して、ワード線を活性化する工程と、該第2の信号、第4の信号、および該第3の信号の次のパルスを受信する工程に応答して、該ワード線のみを不活性化する工程であって、該パルスと該次のパルスとは同じ論理値を有する、工程とを包含し、これにより、上記目的を達成する。

【0018】

前記第2の信号、第4の信号、および前記第3の信号の第2の次のパルスを受信する工程に応答して、該ワード線のみを再活性化する工程をさらに包含してもよい。

【0019】

前記第1の信号は、プレチャージ信号であってもよい。

【0020】

前記第2の信号は、アドレス信号であってもよい。

【0021】

前記第3の信号は、活性化ワード線信号であってもよい。

【0022】

前記第4の信号は、不活性化イネーブル信号であってもよい。

【0023】

本発明による方法は、メモリ回路における全部よりも少ない活性化メモリワード線を不

活性化する方法であって、少なくとも 1 つの信号のパルスを受信する工程と、該少なくとも 1 つのパルスを受信する工程にตอบสนองして、複数のワード線を活性化する工程と、不活性化されるべき該ワード線の全部よりも少ない 2 つ以上を選択する工程と、該信号の次のパルスを受信する工程と、該次のパルスを受信する工程にตอบสนองして、該ワード線の全部よりも少ない 2 つ以上を不活性化する工程とを包含し、それにより、上記目的を達成する。

【0024】

本発明による方法は、メモリ回路における複数の活性化ワード線の中の単一のメモリワード線を不活性化する方法であって、複数のアドレス信号を受信する工程と、少なくとも 1 つの活性化信号パルスを受信する工程と、該少なくとも 1 つの活性化信号パルスを受信する工程にตอบสนองして、該複数のアドレス信号にそれぞれ対応する複数のワード線を活性化する工程と、該活性化する工程の後に、該複数のアドレス信号の 1 つを受信する工程と、該 1 つのアドレス信号に対応する不活性化イネーブル信号を受信する工程と、該活性化の後に、次の活性化信号を受信する工程と、該次の活性化信号パルスを受信する工程にตอบสนองして、該 1 つのアドレス信号に対応する該ワード線のみを不活性化する工程とを包含し、それにより、上記目的を達成する。

【0025】

本発明による方法は、メモリ回路における複数の活性化ワード線の中の単一のメモリワード線を不活性化する方法であって、連続的系列の信号パルスを生成する工程であって、該各パルスは、ワード線を活性化するように動作し、かつ同じ論理値を有する、工程と、該信号パルスにตอบสนองして、複数のワード線を、同時に、か、逐次的にか、またはそれらの組み合わせで活性化する工程と、該活性化ワード線の 1 つを選択する工程と、該信号パルスの 1 つにตอบสนองして、該 1 つの選択されたワード線のみを不活性化する工程とを包含し、それにより、上記目的を達成する。

【0026】

本発明によるメモリは、プレチャージ信号を受信するように動作する第 1 の入力ノードと、ワード線活性化信号を受信するように動作する第 2 の入力ノードと、アドレス信号を受信するように動作する第 3 の入力ノードと、ワード線が活性化されるべきか、不活性化されるべきかを示す信号を提供するように動作する出力ノードと、該プレチャージ信号によって制御され、第 1 の電圧に接続された第 1 のノードを有し、かつ第 2 のノードを有する第 1 のスイッチと該活性化信号によって制御され、該アドレス信号を受信するように動作する第 1 のノードを有し、かつ第 2 のノードを有する第 2 のスイッチと、該第 1 のスイッチの第 2 のノードと、該第 2 のスイッチの第 2 のノードとの間に接続された第 3 のスイッチと、第 2 の電圧に接続された第 1 のノード、および該第 1 のスイッチの第 2 のノードに接続された第 2 のノードを有する第 4 のスイッチと、該第 1 のスイッチの第 2 のノードと該出力ノードとの間に接続された少なくとも 1 つの信号駆動素子と、該アドレス信号から導出された信号を受信するように接続され、かつ該第 3 のスイッチを制御する信号を出力する遅延素子と、該活性化およびアドレス信号、該遅延素子出力信号、ならびにイネーブル信号を受信するように接続された論理ゲートであって、該第 4 のスイッチを制御する信号を出力する、論理ゲートとを備え、それにより、上記目的を達成する。

【0027】

前記第 1 の電圧と前記第 2 の電圧とは、同じであってもよい。

【0028】

前記第 1、前記第 2、前記第 3、および前記第 4 のスイッチの各々はトランジスタを備えていてもよい。

【0029】

前記各トランジスタは、電界効果トランジスタであってもよい。

【0030】

前記第 1 および前記第 4 のスイッチの各々は、p 型チャネル金属酸化物半導体電界効果トランジスタを備えていてもよい。

【0031】

前記第2および前記第3のスイッチの各々は、n型チャネル金属酸化物半導体電界効果トランジスタを備えていてもよい。

【0032】

前記論理ゲートは、NORゲートを含んでもよい。

【0033】

前記少なくとも1つの信号駆動素子は、インバータを含んでもよい。

【0034】

前記少なくとも1つの信号駆動素子は、前記第1のスイッチの第2のノードと前記出力ノードとの間に直列接続された奇数のインバータを含んでもよい。

【0035】

本発明によるシステムは、プロセッサと、該プロセッサに接続されたメモリコントローラと、該メモリコントローラに接続されたメモリチップであって、メモリセルのアレイ、ワード線、アドレスデコード論理、およびラッチ回路を備え、該ラッチ回路は、活性化信号の第1の信号パルスを受信する工程に応答して、ワード線の活性化を指示する信号を出力し、かつ、不活性化イネーブル信号、および該活性化信号の次の信号パルスを受信する工程に応答して、該ワード線の不活性化を指示する信号を出力する、メモリチップとを備え、それにより、上記目的を達成する。

【0036】

前記メモリチップは、ダイナミックランダムアクセスメモリを含んでもよい。

【0037】

前記ラッチは、プリチャージ信号を受信するように動作する第1の入力ノードと、ワード線活性化信号を受信するように動作する第2の入力ノードと、アドレス信号を受信するように動作する第3の入力ノードと、ワード線が活性化されるべきか、不活性化されるべきかを示す信号を提供するように動作する出力ノードと、該プレチャージ信号によって制御され、第1の電圧に接続された第1のノードを有し、かつ第2のノードを有する第1のスイッチと、該活性化信号によって制御され、該アドレス信号を受信するように動作する第1のノードを有し、かつ第2のノードを有する第2のスイッチと、該第1のスイッチの第2のノードと、該第2のスイッチの第2のノードとの間に接続された第3のスイッチと、第2の電圧に接続された第1のノード、および該第1のスイッチの第2のノードに接続された第2のノードを有する第4のスイッチと、該第1のスイッチの第2のノードと該出力ノードとの間に接続された少なくとも1つの信号駆動素子と、該アドレス信号から導出された信号を受信するように接続され、前記第3のスイッチを制御する信号を出力する遅延素子と、該活性化およびアドレス信号、該遅延素子出力信号、およびイネーブル信号を受信するように接続された論理ゲートであって、該第4のスイッチを制御する信号を出力する、論理ゲートとを備えていてもよい。

【0038】

前記第1の電圧と前記第2の電圧とは、同じであってもよい。

【0039】

本発明の集積回路メモリ装置は、第1の信号を受信する工程に応答して、すべてのワード線を不活性化する手段と、第2の信号、第3の信号のパルスを受信する工程に応答して、ワード線を活性化する手段と、該第2の信号、第4の信号、および該第3の信号の次のパルスを受信する工程に応答して、該ワード線のみを不活性化する手段であって、該次のパルスは、該パルスと同じ論理値を有する、手段とを備え、それにより、上記目的を達成する。

【0040】

前記第2の信号、第4の信号、および前記第3の信号の第2の次のパルスを受信する工程に応答して、前記ワード線のみを再活性化する手段であって、該第2の次のパルスは、該次のパルスと同じ論理値を有する、手段をさらに備えていてもよい。

【発明の効果】

【0041】

本発明により、選択されたWLを個別に、または選択可能な少ない数で不活性化し、VWL Nにおける電圧のゆらぎを、実質的に低減する回路および方法が提供される。すべての活性化されたWLは、依然として短い期間で不活性化され得るが、これらのWLがVWL Nノード電圧に及ぼす累積効果は低減される。なぜなら、すべてのWLの不活性化は、もはや同時ではないからである。すなわち、同時に不活性化されるWLの数が制御され得る。

【0042】

本発明の好適な実施形態において、各WLは、それぞれのロウアドレスラッチ回路の出力によって活性化および不活性化される。ラッチ回路の入力は、すべてのWLによって共有されるACTIVE信号、および各WLに固有のアドレスビットを含む。アドレスビットがアクティブである間にACTIVE信号をパルスすることによって、特定のWL活性化状態（すなわち、アクティブまたはインアクティブ）に切換えられる。このことにより、選択されたWLを不活性化し、すべてのアクティブWLの同時の不活性化を有利にも回避することができる。

【0043】

従って、本発明は、複数のWLが活性化された場合にVWL Nノードにおける電圧のゆらぎを有利にも低減し、それにより、より多くのWLが並行してアクティブであることを可能にする。これは、特に、試験時間を低減する際に有用である。

【0044】

本発明の回路および方法は、選択されたメモリワード線（WL）がグローバル不活性化信号を用いることなく不活性化されることを可能にする。従って、共通の不活性ノードにおいて電圧が望まないように上昇する原因となり得る、すべてのアクティブなWLの同時の不活性化が必要とされない。この所望でない電圧の上昇は、例えば、不活性WLを不注意にも活性化することによってシステムに悪影響をおよぼし得る。本発明は、共通の不活性ノードにおける電圧のゆらぎを有利にも制限する。

【発明を実施するための最良の形態】

【0045】

本発明の上述および他の目的ならびに有利な点は、添付の図面と関連付けて以下の詳細な説明を検討することで明らかになる。添付の図面における同じ参照符号は、全体にわたって同じ部分を示す。

【0046】

DRAMは、その最も単純な形態では、電荷を保持するためのキャパシタ、およびキャパシタ内に保持された電荷にアクセスするためのスイッチとして機能するトランジスタをそれぞれ含むセルのアレイである。DRAMアレイは、通常、カラムおよびロウで構成される。図1は、4つのDRAMセル102a、102b、102c、102dを示す（4つのセルは、例示の目的で示されるにすぎない）。セル104aおよび104bの各ロウは、ワードと呼ばれる。ワードにおける各セルのトランジスタは、共有WL106aまたは106bに接続される。WL106aおよび106bは、トランジスタ108a、108b、108c、108dのオン／オフ状態を制御し、これは、情報がキャパシタ110a、110b、110c、110dからの読み出しまたは、これらの書き込みを可能にする。WLが活性化され、接続されたトランジスタを駆動して導通させた（すなわち、トランジスタをオンにした）場合、読み出しまたは書き込みされるべき情報がビット線112a、112bを介して伝送される。

【0047】

図2は、4つのWLを有するDRAMの代表的な活性化／不活性化アーキテクチャを示す。どのWLを活性化するかを特定する2ビットアドレス信号がアドレスデコーダ202に入力される。デコーダ202は、各WLにつき1つの出力を有する。これは、どのWLがアドレスによって特定されるかを決定し、かつ対応する出力を活性化する。アドレスデコーダの出力は、その後、ロウアドレスラッチ204によって処理される。各ロウアドレスラッチは、3つの入力、すなわち、デコーダからのADDR信号、共有ACTIVE信

号、および共有PRE-CHARGE信号を有する。各ロウアドレスラッチは、特定のWLに接続された1つの出力を有する。例えば、最上部のロウアドレスラッチは、出力信号W0を有し、これはWL0に接続される。PRE-CHARGE信号は、DRAMチップのセクションにおけるすべてのWLを、これらをVWLNノードに接続することによって不活性化する。ACTIVE信号は、ターゲットWLのみを活性化するために、アドレスデコーダの出力が整定された後にパルスされる。パルスの間、各ロウアドレスラッチは、その出力Wを活性化し、ADDR信号がアクティブである場合、WLをVCCPノードに接続する。WLが活性化された後、これは、通常、PRE-CHARGE信号をアサートすることによってのみ不活性化される。

【0048】

図3は、典型的なロウアドレスラッチ300を示す。ラッチ300は、p型トランジスタ302、n型トランジスタ304および306、ならびにインバータ308、310、312および314を含む。ノード301は、VCCPまたは別の電圧レベルに接続され得る。ACTIVEがアクティブハイである（すなわち、論理値1信号によって活性化される）間、入力PRE-CHARGEおよびADDR0は、アクティブロウである（すなわち、論理値0信号によって活性化される）。PRE-CHARGEが論理値0に駆動された場合、これは、W0をローに駆動するトランジスタ302を活性化する。PRE-CHARGEがローにアサートされた後、トランジスタ306が導通することに留意されたい。

【0049】

ACTIVE信号が高パルスである場合、これは、トランジスタ304を導通させる。パルスの間、ADDR0がアクティブ（すなわちロー）である場合、これは、出力W0をハイに駆動し、対応するWLを活性化する。W0がハイである場合、トランジスタ306は、非導通であり（インバータ312からの入力ハロー）、ACTIVE入力上の次のパルスは、W0出力に影響を及ぼさない。このWLを不活性化するために、PRE-CHARGE信号は、ローにアサートされ、これは、DRAMチップの同じセクションにおけるすべての他のWLも同時に不活性化する。上述のように、これは、同時に不活性化されるWLの数に依存して、他のWLに不利な影響を及ぼし得る。

【0050】

図4は、3つのWLをそれぞれ活性化および不活性化するために、図3の3つのロウアドレスラッチが用いられるタイミングチャート400を示す。信号CLKは、システムクロック信号である。PRE-CHARGEが信号遷移402においてローにパルスされ、すべての3つのWLは、不活性化される。信号ACTIVEは、その後、信号遷移403～405における信号ADDRESSと連動して3回パルスされ、次にW0、W1およびW2を活性化する。最後に、信号PRE-CHARGEが、信号遷移406において再びローにパルスされた場合、すべての3つのWLは、遷移408において同時に不活性化され、3つの関連したWLがVWLNノードに接続されるようにする。この同時の不活性化は、正の電荷の実質的な量をVWLNノードに流れ込ませ、所望でないが、ノードの電圧を上方にドリフトさせ得る。

【0051】

本発明の例示的实施形態は、図5に示される。ロウアドレスラッチ回路500は、p型トランジスタ502および516、n型トランジスタ504および506、インバータ508、510、512および514、遅延素子518、ならびに論理520を含む。ノード501は、VCCPまたは別の電圧レベルに接続され得る。論理520は、信号DEACを介してトランジスタ516を制御し、好適には、NORゲート522、ならびにインバータ524、526および528を含む。SWLD入力信号は、アクティブハイであり、ラッチ回路500がそのWLを選択的に不活性化するようにイネーブルする。

【0052】

回路500は、その出力W0をラッチ回路300と同じ態様で不活性化することによってPRE-CHARGEパルスに応答する。ACTIVE信号がハイにパルスされた場合

、信号ADDR0はローである一方で、出力W0はハイにアサートされる。このアサート段階の間、DEAC信号はACTIVEパルスが到着すると論理値1であるので、トランジスタ516は非導通である。ACTIVEが再びハイにパルスされた場合、SWLDはハイであり、ADDR0はローである一方で、論理520はDEAC信号をローに出力し、トランジスタ516を導通させ、かつW0をデアサートする。従って、本発明によるロウアドレスラッチは、すべてのWLで共有されるPRE-CHARGE信号を用いることなく、特定のWLが不活性化されることを可能にする。遅延素子508は、出力信号OPENがハイになる前にACTIVEパルスが通過し、トランジスタ506を導通させる（信号OPENがNORゲート522にも供給される）ことを保証する。PRE-CHARGE信号の次のパルスがラッチ回路500をリセットするまで、SWLDがハイであり、かつADDR0がローである間、ACTIVEがハイでパルスされる毎に、W0の値は切り換わる（すなわち、論理値1および論理値0の間で交互に）ことに留意されたい。

【0053】

図6は、本発明によるラッチ回路500に印加される場合の信号のタイミングチャート600を示す。ラッチ回路300と同様に、信号PRE-CHARGEの遷移602は、すべてのWLを不活性化する。この不活性化に続いて、ACTIVE信号が遷移603～605において3回パルスされ、3つのすべてのWLを活性化する。しかしながら、有利にも、WLの各々は、PRE-CHARGE信号をアサートすることなく不活性化され得、各WLの不活性化は、他のWLの不活性化と同時である必要はない。むしろ、遷移606a、607a、および608aに示されるACTIVE信号の3つの連続的パルスは、次に3つのWLを不活性化する（遷移606b、607bおよび608bに示される）。この非同時的な不活性化は、タイミングチャート400の遷移408におけるすべてのWLが同時に不活性化されることによって引き起こされるよりも小さい過渡スパイクを、VWLNノードにおいてもたらす。

【0054】

回路500およびタイミングチャート600の両方は、例示にすぎないことに留意されたい。PRE-CHARGE信号に依存せずにW0出力を切替える他のラッチ回路が用いられ得る。例えば、p型チャネル電界効果トランジスタ516は、インバータ528が除去された場合、n型チャネル電界効果トランジスタと置換され得る。同様に、PRE-CHARGE信号がアクティブハイであった場合、トランジスタ502は、n型チャネル電界効果トランジスタと置換され得る。別の可能性は、インバータ514の電圧範囲を適切に設定することによって、出力W0を、VWLNとVCCPとの間ではなく、グラウンドとVCCPとの間で振動させることである。

【0055】

さらに、各WLを制御するロウアドレスラッチの数は、示されるものとは異なり得る。例えば、図7は、WLが2つのロウアドレスラッチによって制御された場合の活性化／不活性化アーキテクチャを示す。アーキテクチャ700は、アドレスプレデコーダ702、ロウアドレスラッチ500、ロウアドレスラッチ300、および論理ANDゲート706を含む。この例において、4ビットアドレスの復号は、2つの段で行われる。第1の段において、アドレスの2つの最上位ビットADDRESS_MSB、および2つの最下位ビットADDRESS_LSBが別々に復号される。各アドレスプレデコーダ702は、1つのADDR信号をローで出力し、それ以外のADDR信号をハイで出力する。これらの出力は、その後、本発明によるロウアドレスラッチ500または300によって処理される。復号の最終段において、各WLは、ANDゲート706によって、2つのロウアドレスラッチの出力に接続される（アドレスプレデコーダ702毎に1つのラッチ出力。これらの2つのラッチ出力は、特定のWLアドレスに対応するADDRESS_MSBおよびADDRESS_LSB値の組み合わせを表す。従って、所与のWLは、両方の対応するラッチ出力がハイである場合にのみ活性化され得る。図7において、任意の所与のロウアドレスラッチ500が複数のWLに接続されることに留意されたい。従って、図2のアーキテクチャと対照的に、図7に示されたアーキテクチャは、単一のACTIVEパルスで

複数のWLを活性化または不活性化することを可能にする。例えば、信号W0～W3に接続された4つのWLが活性化されたと仮定されたい。ラッチ出力RA0が、次にローに駆動された場合、これらの4つのWLは、すべて、同時に不活性化される。ロウアドレスラッチの数は、代わりとして他の考慮すべき事項にも依存し得る。

【0056】

タイミングチャート600は、さらに、必要とされる特定の用途に依存して変化し得る。例えば、回路500は、WL0およびWL1のみを不活性化するために用いられ得、PRE-CHARGE信号は、WL2を不活性化するためにパルスされ得る。例えば、実行されるべきタスクおよびハードウェアの制約に依存して、他の動作シーケンスが可能となる。

【0057】

図8は、本発明を組み込むシステムを示す。システム800は、複数のDRAMチップ801、プロセッサ880、メモリコントローラ882、入力デバイス884、出力デバイス886、および選択的格納デバイス888を含む。DRAMチップ801の各々は、1つ以上のラッチ回路500を含む。データおよび制御信号は、バス881を介してプロセッサ880とメモリコントローラ882との間に伝送される。同様に、データおよび制御信号は、バス883を介してメモリコントローラ882とDRAMチップ801との間に伝送される。入力デバイス884は、例えば、キーボード、マウス、タッチパッドディスプレイスクリーン、または、ユーザがシステム800に情報を入力することを可能にする任意の他の適切なデバイスを含み得る。出力デバイス886は、例えば、ビデオディスプレイユニット、プリンタ、または、ユーザに出力データを提供することができる任意の他の適切なデバイスを含み得る。入力デバイス884および出力デバイス886は、代わりとして単一の入力/出力デバイスであり得ることに留意されたい。格納デバイス888は、例えば、1つ以上のディスクまたはテープドライブを含み得る。

【0058】

本発明は、DRAMチップに限定されず、特定の信号線の同時の活性化または不活性化が好ましくない回路、または回路の群を有する他の集積回路チップに適用可能であることに留意されたい。

【0059】

従って、個別に、または選択可能な少ない数で複数のWLを不活性化する回路および方法が提供され、それにより、同時に不活性化されるWLの総数が低減されることがわかる。

【0060】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。

【図面の簡単な説明】

【0061】

【図1】図1は、典型的なDRAMセルの回路図である。

【図2】図2は、代表的なWL活性化/不活性化アーキテクチャのブロック図である。

。

【図3】図3は、典型的なロウアドレスラッチの回路図である。

【図4】図4は、図3のロウアドレスラッチの入力および出力信号のタイムチャートである。

【図5】図5は、本発明によるロウアドレスラッチの例示的实施形態の回路図である。

。

【図6】図6は、本発明による図5のロウアドレスラッチの入力および出力信号のタイミングチャートである。

【図 7】図 7 は、本発明を組み込む代替的 W L 活性化／不活性化アーキテクチャのブロック図である。

【図 8】図 8 は、本発明を組み込むシステムのブロック図である。

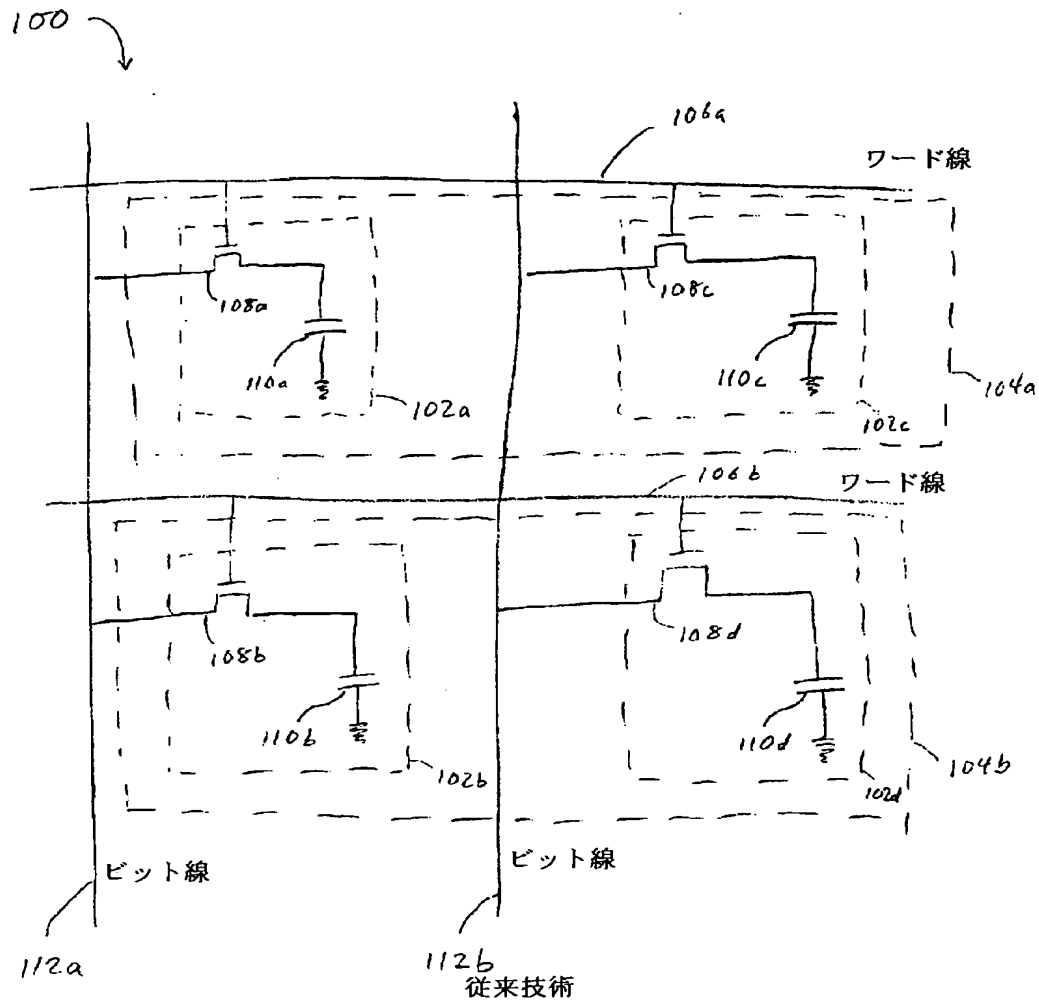
【符号の説明】

【 0 0 6 2 】

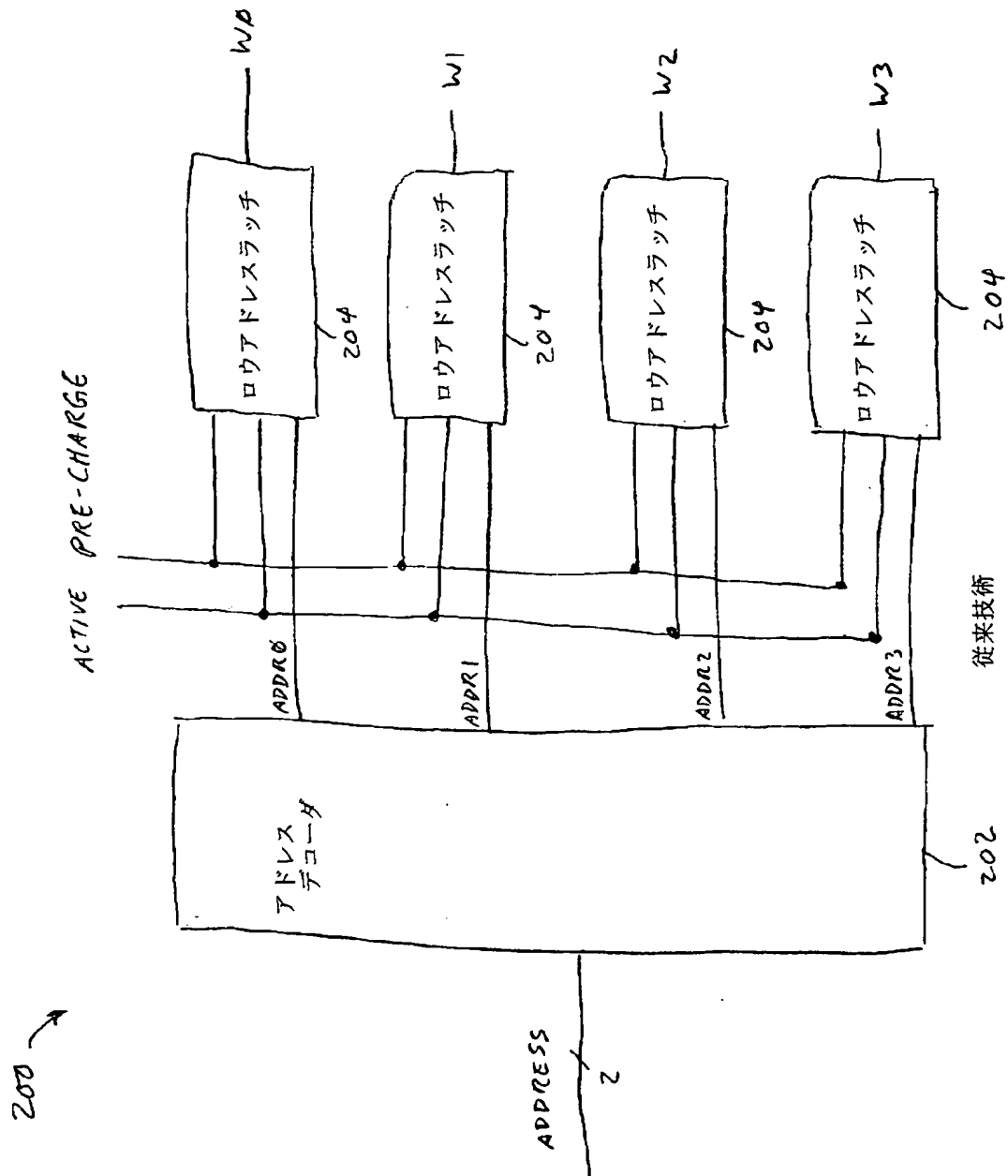
- 5 0 0 ラッチ回路
- 6 0 0 本発明による信号のタイミングチャート
- 7 0 0 活性化／不活性化アーキテクチャ
- 8 0 0 本発明を組み込むシステム

【書類名】 図面

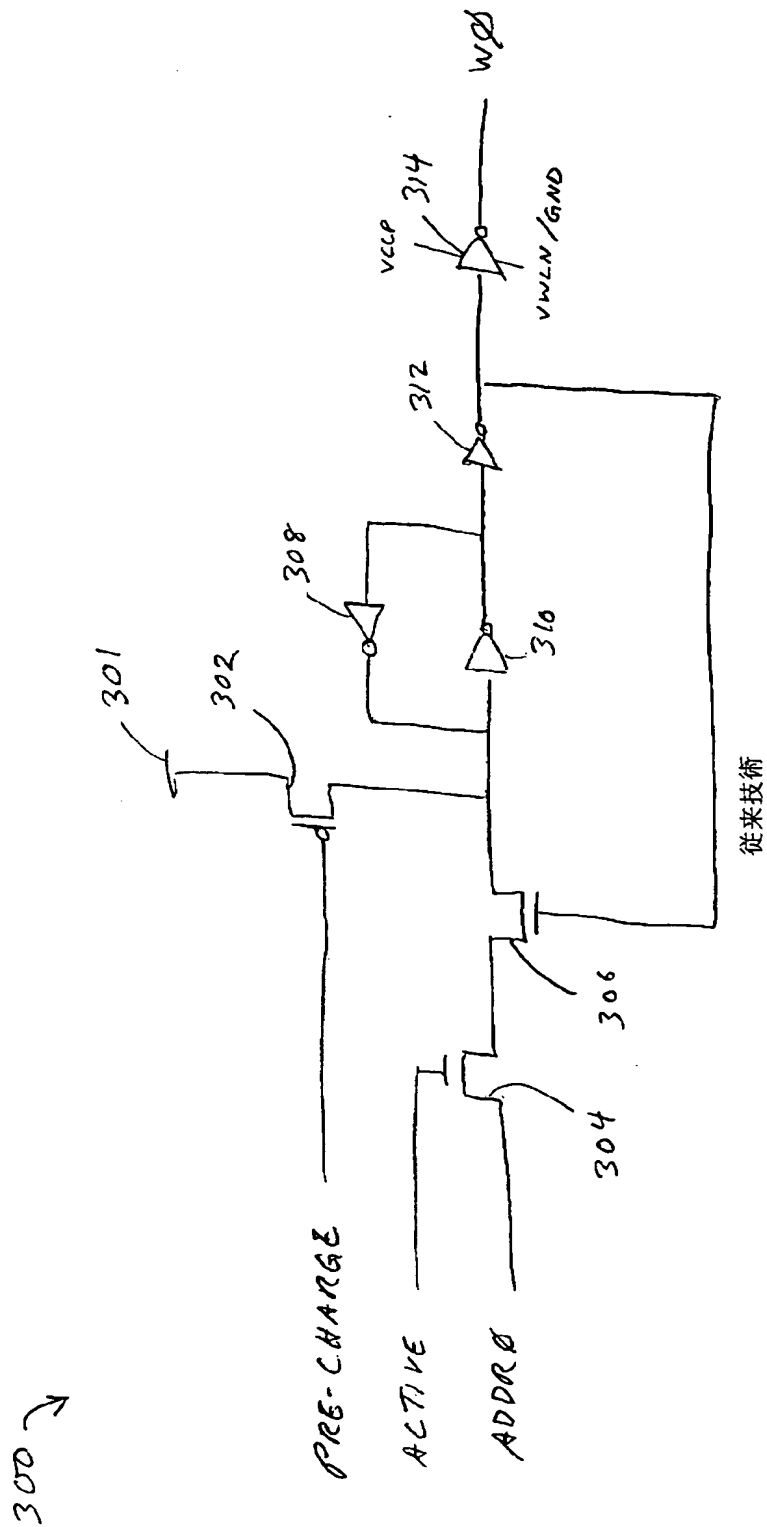
【図 1】



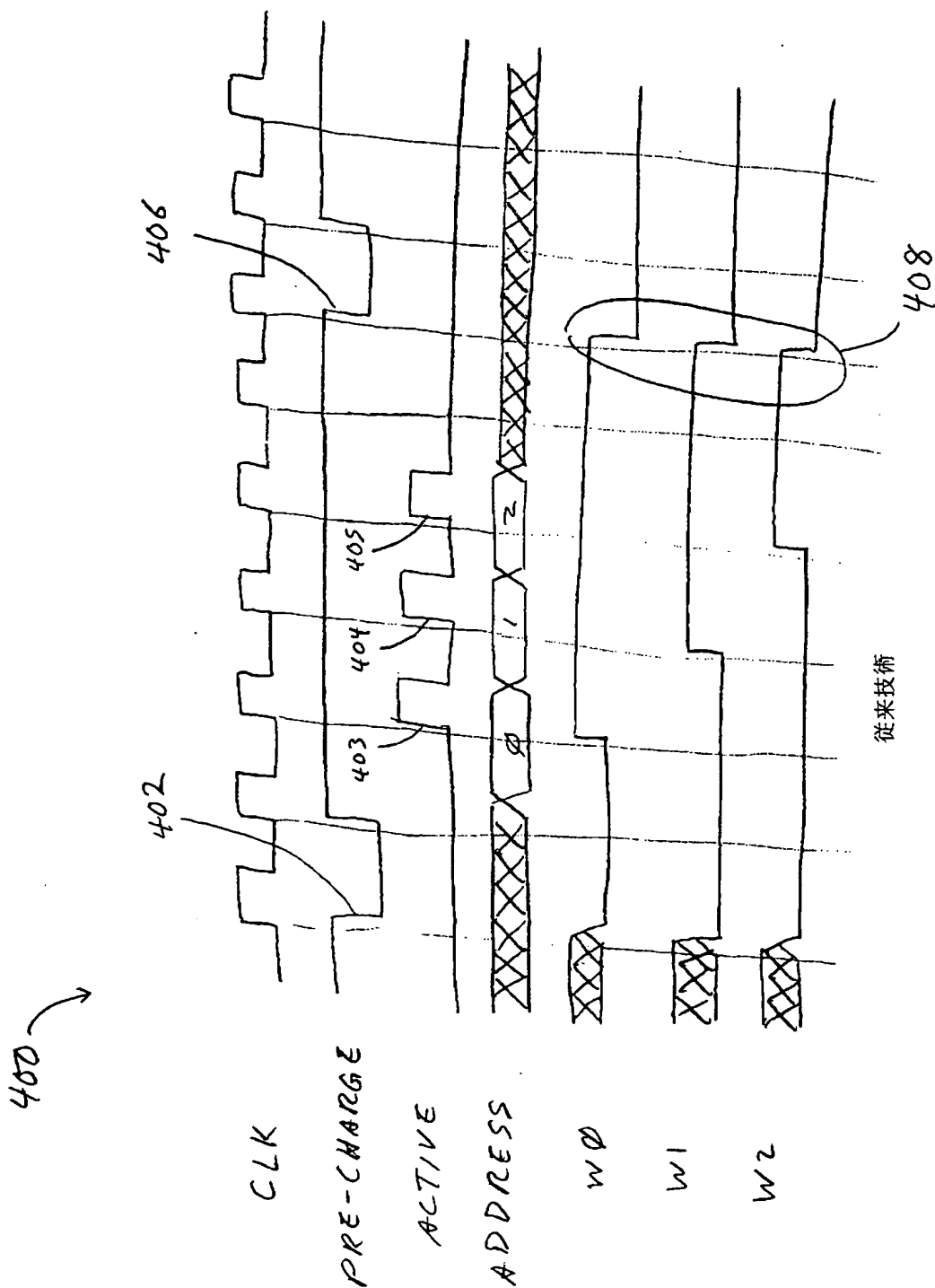
【図 2】



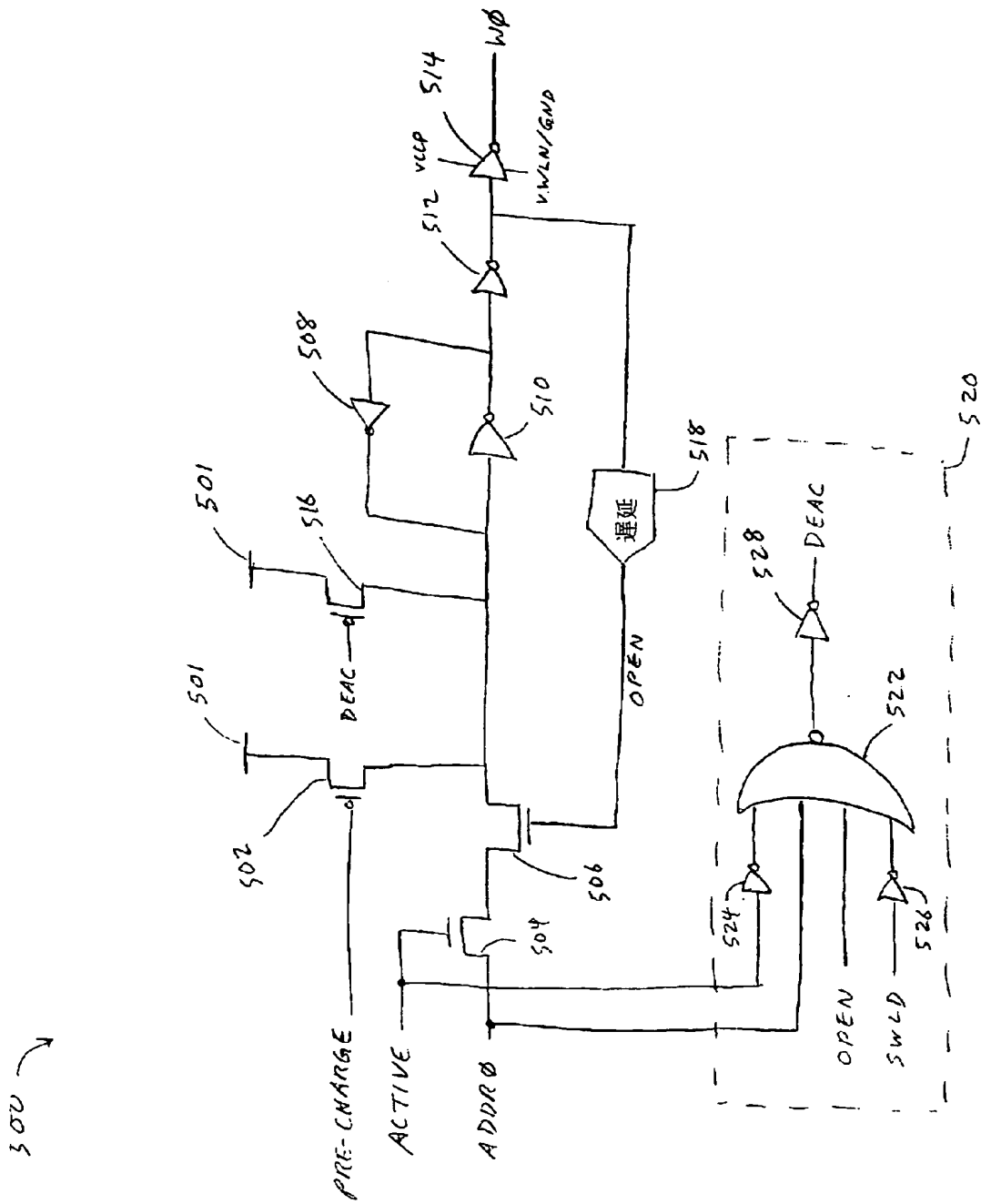
【図 3】



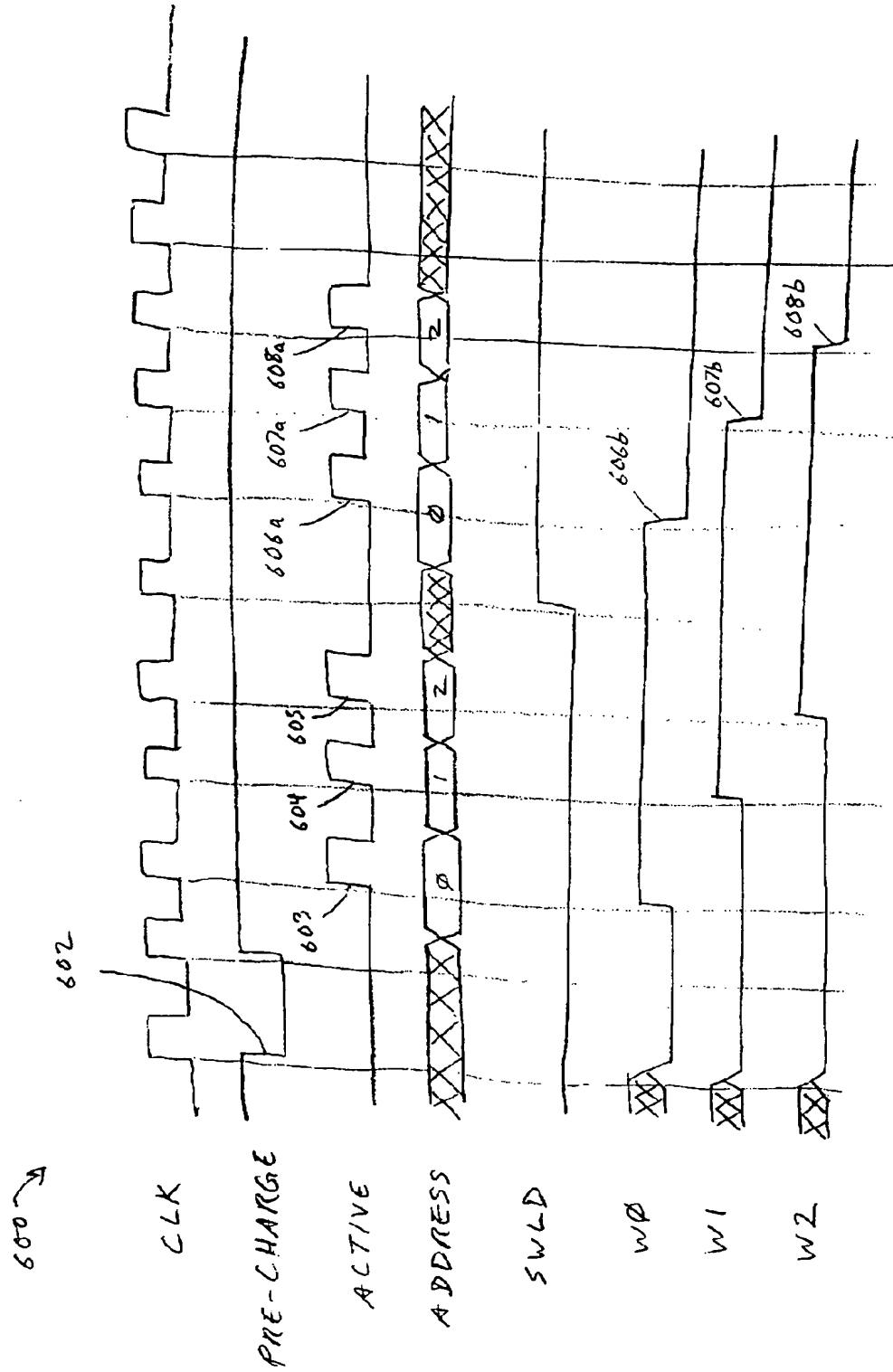
【図 4】



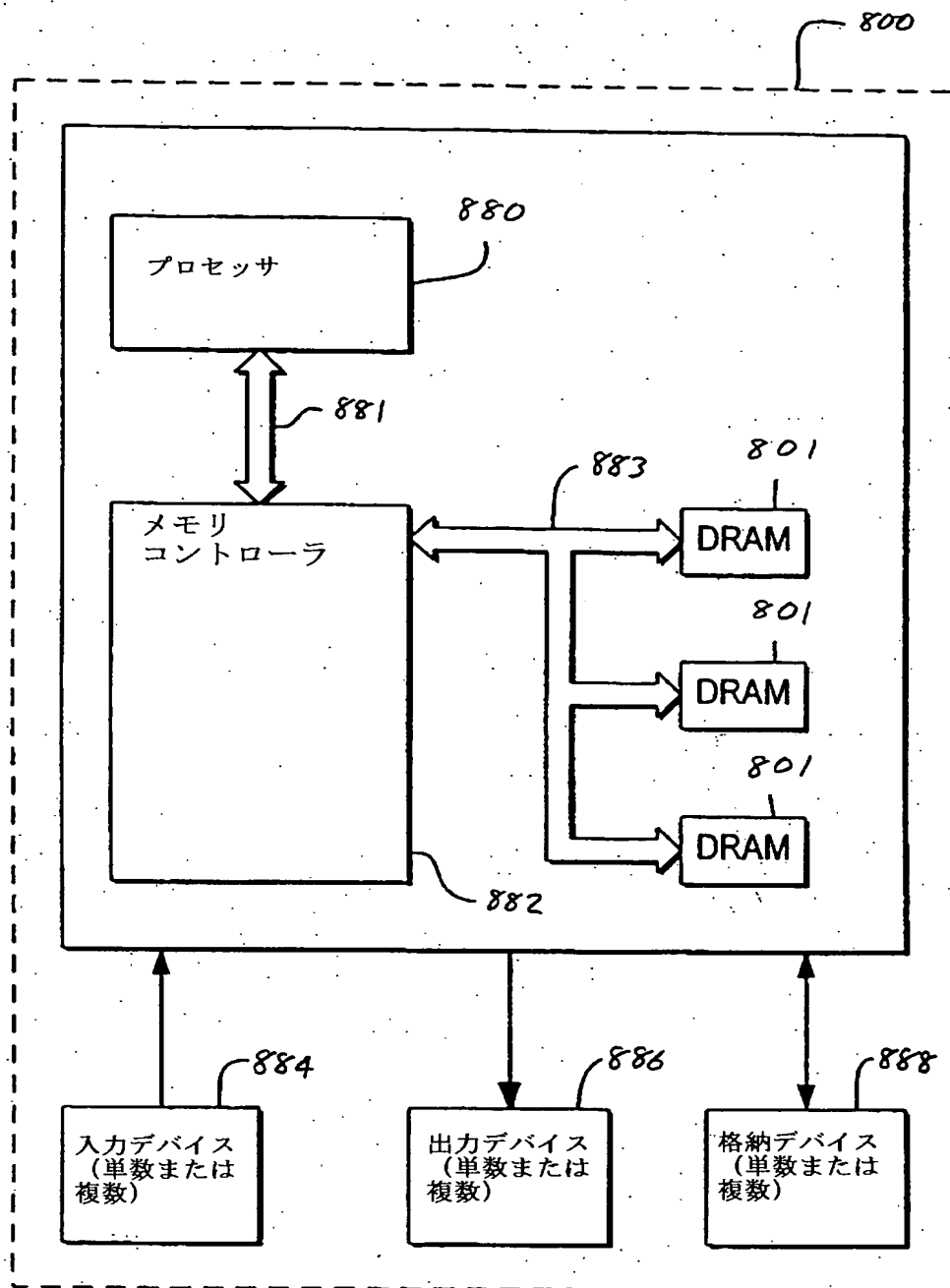
【図 5】



【図 6】



【図8】



【書類名】 要約書

【課題】 本発明の目的は、VWL Nノードにおける電圧のゆらぎを低減し、それにより、より多くのWLが同時にアクティブであることを可能にする回路および方法を提供することである。

【解決手段】 回路および方法は、選択されたメモリワード線(WL)がグローバル不活性化信号を用いることなく不活性化されることを可能にする。従って、共通の不活性ノードにおいて電圧が望まないように上昇する原因となり得る、すべての活性WLの同時の不活性化が必要とされない。この所望でない電圧の上昇は、例えば、不活性WLを不注意にも活性化することによってシステムに悪影響をおよぼし得る。本発明は、共通の不活性ノードにおける電圧のゆらぎを有利にも制限する。

【選択図】 なし

特願 2 0 0 3 - 4 1 1 0 5 3

出 願 人 履 歴 情 報

識別番号 [5 0 0 0 1 4 0 6 8]

1. 変更年月日 2 0 0 0 年 1 月 1 7 日

[変更理由] 新規登録

住 所 アメリカ合衆国 8 3 7 0 6 - 9 6 3 2 アイダホ州 ボイシ

サウス フェデラル ウェイ 8 0 0 0

氏 名 マイクロン テクノロジー インコーポレイテッド